



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05014388 A**(43) Date of publication of application: **22 . 01 . 93**

(51) Int. Cl

**H04L 12/48**(21) Application number: **03159334**(22) Date of filing: **01 . 07 . 91**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **KAMOI EDAMASU  
KUROYANAGI TOMOJI  
HAJIKANO KAZUO  
TAKECHI RYUICHI  
KAWASAKI TAKESHI**

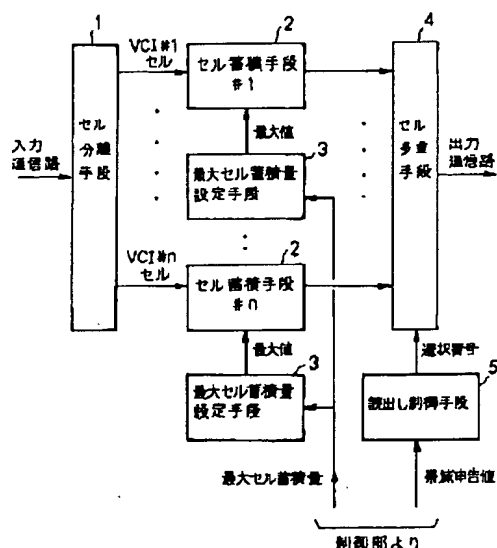
(54) **BAND CONTROL SYSTEM FOR ATM NETWORK**

COPYRIGHT: (C)1993,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To control the increase of momentary traffic to reduce abandonment of cells by reading out cells in a storage means with periods of proportions corresponding to declared bands to smooth and output burst cells.

**CONSTITUTION:** Input cells from a communication line are separated in accordance with set VCI numbers by a separating means 1 and are stored in cell storage means 2. Data corresponding to band declaration values declared for respective VCI numbers are preliminarily set to a control means 5, and cells are read out from cell storage means 2 at each timing and are multiplexed by a cell multiplexing means 4 and are outputted to the communication line. Since cells are read out with periods of proportions corresponding to declared bands in this manner, cells are outputted at speeds in declared bands and burst cells are smoothed and outputted. Consequently, the increase of momentary traffic is controlled to reduce abandonment of cells. Further, a maximum cell storage value setting means 3 is added to adjust the abandonment volume of cells.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-14388

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 12/48

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/ 20

Z

審査請求 未請求 請求項の数4(全 12 頁)

(21)出願番号 特願平3-159334

(22)出願日 平成3年(1991)7月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 鴨井 條益

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 黒柳 智司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 初鹿野 一雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 穂坂 和雄 (外2名)

最終頁に続く

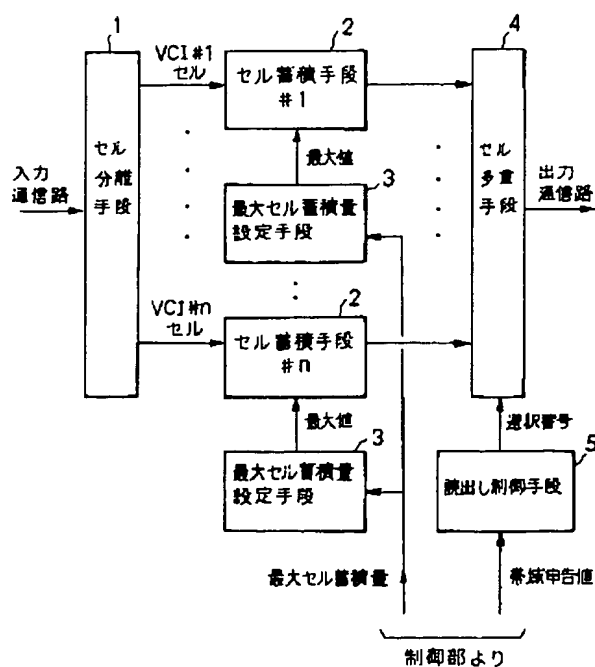
(54)【発明の名称】 ATM網における帯域制御方式

(57)【要約】

【目的】本発明はATM網の通信路上を伝送されるセルの帯域制御方式に関し、瞬時的にトラヒックが増大したセルに対してセル廃棄を少なくすると共に申告された帯域を越えないように制御することができることを目的とする。

【構成】複数の異なる呼識別用のVCI(仮想チャネル番号)を持つセルが統計多重された通信路からVCI毎にセルを振り分けるセル分離手段、VCI毎にセルを蓄積するセル蓄積手段、セル蓄積手段からのセルの読出しを制御する読出し制御手段、及び読出し制御手段からの制御によりセル蓄積手段から読出されたセルを多重するセル多重手段を備える。読出し制御手段は、各VCI対応のセル蓄積手段からの読出しを、セルを送出する通信路の帯域中の各VCIに対して予め申告した帯域の比率により読出すよう構成する。

本発明の原理説明図



1

## 【特許請求の範囲】

【請求項1】 ATM網の通信路上を伝送されるセルの帯域制御方式において、  
 複数の異なる呼識別用のVCI（仮想チャネル番号）を持つセルが統計多重された通信路からVCI毎にセルを振り分けるセル分離手段と、  
 VCI毎にセルを蓄積するセル蓄積手段と、  
 セル蓄積手段からのセルの読出しを制御する読出し制御手段と、  
 読出し制御手段からの制御によりセル蓄積手段から読出されたセルを多重するセル多重手段を備え、  
 読出し制御手段は、各VCI対応のセル蓄積手段からの読出しを、セルを送出する通信路の帯域中の各VCIに対して予め申告した帯域の比率により読出すことを特徴とするATM網における帯域制御方式。

【請求項2】 請求項1において、  
 前記VCI毎の各セル蓄積手段に、蓄積可能なキュー長を設定する最大蓄積量設定手段を設け、該最大蓄積量設定手段の設定値により入力トラヒック特性にバーストが発生した時のセル蓄積手段におけるセル廃棄量を調整することを特徴とするATM網における帯域制御方式。

【請求項3】 請求項1において、  
 前記セル蓄積手段からのセルの読出しを制御する読出し制御手段は、  
 読出しを行うセル蓄積手段の選択番号を蓄積する選択番号蓄積手段と、選択番号蓄積手段のアドレスを順次指定する周期カウンタにより構成し、  
 選択番号蓄積手段は、セルを送出する通信路の帯域中の各VCIが予め申告した帯域の割合で、且つアドレス間隔が均等になるように割り付けることを特徴とするATM網における帯域制御方式。

【請求項4】 請求項1において、  
 前記セル蓄積手段からのセルの読出しを制御する読出し制御手段は、  
 読出しを行うセル蓄積手段の選択番号を蓄積する選択番号蓄積手段と、選択番号蓄積手段のアドレスをランダムに指定するカウンタにより構成し、  
 選択番号蓄積手段は、セルを伝送する通信路の帯域中の各VCIが予め申告した帯域の割合で割りつけ、選択番号蓄積手段からの読出しをランダムに行うことを特徴とするATM網における帯域制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はATM網における帯域制御方式に関し、特にATM網の通信路上へ送出されるセルの帯域が申告値通りに守られているかを監視するポリシング機構を備える帯域制御方式に関する。

【0002】 ATM (Asynchronous Transfer Mode) の通信では、一定速度の音声やデータの他に可変速度の画像やバーストデータのような情報を扱うため、網側では

2

通信帯域を把握することが非常に困難である。従って、瞬時的に申告された帯域よりも大きいトラヒックが入力されることがある。そのため、網が過負荷状態となってサービス品質が低下（セル廃棄など）する可能性がある。

【0003】 このような問題に対処するために、網の入力部にトラヒック量を監視して何らかの規制処理を行う帯域制御を行う必要がある。

## 【0004】

【従来の技術】 図8は従来例1の構成である。図8において、80は入力通信路の各セルのヘッダに含まれたVCI（各呼に対応して付与された仮想チャネル番号：Virtual Channel Identifier）を識別するVCI識別手段、81は各VCIの番号#1～#nに対応して設けられたセル通過計数手段、82は各VCIに対応する呼について予め申告された帯域（例えば、ピーク値）に対応するセル数の値（一定時間内のセル数）を保持する申告計数保持手段、83は比較手段、84は論理和手段、85は廃棄手段である。

【0005】 動作を説明すると、入力通信路上に複数の呼のセルが多重化されて入力すると、VCI識別手段80において各セルのVCIが識別され、識別されたVCIに対応する出力（VCI#1～#n）を発生する。これにより、出力が供給された各VCI番号毎のセル通過計数手段81が計数を行う。各VCIに対応するセル通過計数手段81の一定時間内の計数値（これをAとする）と、申告計数保持手段82に設定された申告数（これをBとする）は比較手段83で比較され、Aの値がBの値をオーバーすると、そのVCIを表示する出力が発生し、論理和手段84から廃棄手段85に対してこのVCIを持つセルを廃棄する指示が与えられる。これにより廃棄手段は、該当VCIを持つセルを廃棄して出力通信路へ送出不い。

【0006】 次に図9に示す従来例2の構成を説明する。図9の、90は帯域監視手段、91はマーク付加手段、92はATM網である。この従来例2は、マークドセル (marked cell) 方式と称され、帯域監視手段90は、上記従来例1と同様に入力通信路上のセルをVCI毎に一定時間内の到着数を計数し、各VCI毎の申告値（制御部より入力する）と比較して到着セル数が申告値をオーバーすると、該当VCIが違反したことをマーク付加手段91に指示する。これにより、マーク付加手段91は、該当VCIを持つセルに対しマーク（例えば、ヘッダ内の予め決められた特定ビットに“1”を設定）を付して、ATM網92に送出する。ATM網92では、網内において輻輳が発生するとマークが付されたセルを優先的に廃棄する処理を行う。

## 【0007】

【発明が解決しようとする課題】 上記した従来例1の方法では、一定時間内のセルの到着数を監視していたため

3

平均的なトラヒックの変動にしか対応できず、瞬時的にトラヒックが増大した場合には制御できないという問題があった。

【0008】従来例2の方式では、平均的には帯域が守られているにも関わらず何らかの影響で瞬時的にバースト性が増大したセルの場合、ポリシング制御部から出力するセルのトラヒック特性は何ら変化しないためATM網でセルが廃棄されてサービス品質が低下するという問題があった。

【0009】本発明は瞬時的にトラヒックが増大したセルに対してセル廃棄を少なくすると共に申告された帯域を越えないように制御することができるATM網における帯域制御方式を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は本発明の原理構成図、図2は読出し制御手段の第1の原理構成図、図3は読出し制御手段の第2の原理構成図である。

【0011】図1において、1はセルをVCIに応じて分離するセル分離手段、2は各VCIに対応して設けられたセル蓄積手段、3はセル蓄積手段2に蓄積可能なセル数が設定される最大セル蓄積量設定手段、4はセル多重手段、5は申告帯域に応じてセル蓄積手段からのセルを讀出す読出し制御手段である。

【0012】また、図2、図3において、20は選択番号蓄積手段、21は周期カウンタ、22はランダムカウンタを表す。本発明は入力セルをVCI毎に設けられたセル蓄積手段に各VCIのセルを蓄積し、その際最大セル蓄積量設定手段に設定されたセル量以上のセルは廃棄する一方で、各セル蓄積手段に蓄積したセルはそれぞれのVCIの申告帯域に対応した周期で読み出すものである。

【0013】

【作用】図1において入力通信路からのセルはセル分離手段1に入力してセルのヘッダに設定されたVCIの番号に応じて分離され、各VCIに対応する各セル蓄積手段2に蓄積される。各セル蓄積手段2はFIFO (First In First Out) 型のメモリで構成され一定容量を持ち、蓄積されたデータはセル多重手段4により選択された1つのセル蓄積手段2の先頭のセルを讀出すと、次のタイミングでは他のセル蓄積手段2が選択され、その中の先頭のセルを讀出すことにより出力通信路に多重化して出力される。

【0014】読出しは読出し制御手段5により行われ、読出し制御手段5には予め各VCI (呼) に対して予め申告された帯域申告値に対応するデータが制御部 (図示せず) から設定されており、各タイミング毎に読出し制御手段5からセル蓄積手段2を選択する信号が発生すると、対応するセル蓄積手段2からセルが讀出される。

【0015】このように各VCIに応じてそれぞれの申告帯域に対応した割合の周期で各セル蓄積手段2を讀出

4

すことにより、出力通信路には各VCIのセルが申告帯域内の速度で且つバースト的なセルを平滑化して出力することができる。

【0016】図1には各セル蓄積手段2に対応して最大セル蓄積量設定手段3が設けられている。この最大セル蓄積量設定手段3には、制御部から各VCI毎に申告された帯域申告値に応じたセル蓄積手段2に蓄積格納なセル数 (最大値) を設定してセル蓄積量を制御可能にする場合に使用する。この最大セル蓄積量設定手段3から最大値がセル蓄積手段2に供給されると、セル蓄積手段2は蓄積されたセル数が最大値に達するとそれ以上のセルが入力されても蓄積を行わない (セル廃棄)。このため、バースト的に瞬間的にセルが多数到着してもこの段階で抑制することができる。

【0017】図2に示す読出し制御手段 (図1の5) の第1の原理構成を説明する。制御部から、選択番号蓄積手段20の各アドレスに、VCIの番号 (またはセル蓄積手段2の番号) のデータが書き込まれる。このデータは、各セル蓄積手段2に蓄積される各VCIの申告帯域に比例した個数だけ均等な間隔をおいたアドレスに格納される。選択番号蓄積手段20は、周期カウンタ21のカウンタ値を讀出しアドレスとして讀出され、讀出されたデータはセル多重手段4へ供給される。この例では、選択番号蓄積手段20の各アドレスは周期カウンタ21によりアドレスの順に讀出される。

【0018】次に図3に示す読出し制御手段の第2の原理構成を説明する。図3の選択番号蓄積手段20は、上記図2の第1の原理構成と同様に各アドレスにVCIの番号 (またはセル蓄積手段2の番号) のデータが制御部から書き込まれるが、書き込み位置は任意である (均等間隔にする必要がない)。このデータを読み出すアドレスはランダムカウンタ22から発生する。このため、選択番号蓄積手段20の書き込みアドレスの位置に関係の無い順にセル蓄積手段2の読み出しが行われる。

【0019】

【実施例】図4は実施例1の構成図、図5は実施例2の構成図、図6はFIFOの構成例、図7はATM網における本発明が適用される部分を示す図である。

【0020】図4の実施例1の構成では入力通信路が8Mbps (メガビット・パー・セコンド) の帯域を持つものとし、入力通信路上にVCIが1番 (#1で表示) のセル (申告帯域が4Mbps) と、VCIが4番 (#4) のセル (申告帯域が1Mbps) が現在入力されているものとする。

【0021】図4において、40はVCI抽出部、41はデコーダ、42は各VCI毎に設けられセル蓄積用のバッファであるFIFO (書き込みと読み出しを同時に行う2ポートメモリ)、43は各FIFOに対応してセル蓄積量のしきい値 (セル蓄積量の最大値) が設定されるしきい値設定部、44はセルを多重化するセクタ、

5

45はデコーダ、46はセレクトにおける選択動作を制御するデータが格納されたRAM(Random Access Memory)、47は8周期カウンタである。なお、RAMは8個のアドレスに対応するデータ蓄積容量を持つ。

【0022】図4の実施例の動作を説明すると、8Mbpsの入力通信路上に申告帯域4MbpsのVCI#1のセルと申告帯域1MbpsのVCI#4のセルが統計多重されて入力通信路に送られくると、しかしこれらのセルは申告値どうりの帯域で到着するとは限らない。

【0023】VCI抽出部40は入力通信路上のセルのヘッダからVCIを抽出してデコーダ41において識別する。デコーダ41の識別結果に応じて対応する番号のFIFO42が書き込み駆動され、到着したセルが対応するFIFO42、即ちFIFO#1とFIFO#4に書込まれる。

【0024】各VCIに対応するFIFO42に対し、最大蓄積セル量を設定して蓄積量の制御を行う場合、予め制御部(図示せず)よりしきい値をしきい値設定部43に設定する。この出力は対応するFIFO42に供給され、各FIFO42はそのしきい値を越えない範囲で入力するセルの蓄積動作を行う。

【0025】図6にFIFOの構成例を示す。この動作を説明すると、FIFOに入力したセルは、書込信号が供給されるとセルバッファに書込まれ、セル数カウンタ61がカウントアップ(+1)し、読出し信号が入力してセルが1つ読出されると、セル数カウンタ61はカウントダウン(-1)する。従って、このセル数カウンタ61のカウント数はセルバッファ60に蓄積されているセル数を表す。

【0026】セル数カウンタ61のカウント値は比較回路62において、しきい値設定部(図4の43)から出力されたしきい値と比較され、カウンタ値がしきい値を越えると“0”が発生し、それ以外の場合は“1”が発生する。このため、セルバッファ60の書き込み信号は、アンド回路63が比較回路62から“1”が供給されている時セルバッファに供給され、“0”の時セルバッファに供給されず、この時入力したセルは書込まれない(廃棄される)。

【0027】このしきい値設定部43に設定するしきい値に応じて入力トラヒック特性に対するセル廃棄等の通信品質を調整する。例えば、しきい値を高め設定すると、瞬時的なバーストに対するセルの廃棄率を少なくすることができる。

【0028】なお、このFIFOのバッファは、図6の場合1つのVCIに対応して1つ設けられているが、実際には物理的に1つのバッファを論理的にVCI毎に分離して複数個のVCIのセルを蓄積させる構成をとることができる。

【0029】図4の説明に戻って、RAM46には制御部よりVCI#1とVCI#4の申告帯域4Mbpsと

6

1Mbpsに応じて、図6に示すようにアドレスの間隔ができるだけ均等になるようにVCI番号が割り付けられる(書込む)。すなわち、VCI#1のセルの帯域は4Mbpsなので、通信路の帯域8Mbpsに対し1/2であり、RAM46の全アドレス8個の内の4個(ADDR1, 3, 5, 7)を使用し、更にその割り付け方は1アドレスおきとする。同様にVCI#4のセルの帯域は1Mbpsなので通信路の帯域8Mbpsの1/8、つまり1アドレス(ADDR2)を割り付ける。

【0030】このRAM46は、8周期カウンタ47から出力されるカウンタ値をアドレスとして順次読出され、RAM46から読み出されるVCI番号はデコーダ45で識別され、番号に対応するFIFO42に対し読出し信号が出力される一方、セレクト44にも読み出されたVCI番号が供給される。セレクト44は読出しを行ったFIFO42を選択して読み出されたセルを出力通信路に送出する。

【0031】このようにして到着したセルがバースト的なトラヒック特性を持っていて瞬間的にセルの到着数が多くなってもFIFOから読み出した後は申告された帯域を守ることができ、更にトラヒック特性を平滑化される。

【0032】図5に示す実施例2の構成を説明すると、図5の50~56はそれぞれ図4の40~46と同様の回路または装置であり説明を省略する。57は8周期疑似乱数発生カウンタである。

【0033】実施例2の場合、RAM56に制御部からの指示により通信路の帯域中の各VCIが申告された帯域の割合でRAM56のアドレスを割り付ける。この時、上記実施例1の場合と違い、各VCIの割り付け方はRAM56の空きアドレスに自由に設定できる。

【0034】このRAM56は、8周期疑似乱数発生カウンタ57の出力をアドレスとして読出され、出力されたVCI番号のFIFO52からセルを取り出し出力通信路へ送出する。これによって、到着したセルがバースト的なトラヒック特性を持っていても、FIFO52から読出した後は申告された帯域を守ることができ、更にトラヒック特性も平滑化される。

【0035】次に、ATM網における本発明が適用される部分を図7を用いて説明する。図7のA.は中央交換機の配置図であり、複数の遠隔集線部からの入力通信路が交換機に入力する位置に本発明の帯域制御方式による機構(例えば、ポリシング機構)を設けることができる。また、図7のB.の場合は、各遠隔集線部において各加入者線が入力される部分に本発明の帯域制御方式により機構を設けた場合である。同様に、他の複数のVCIのセルを伝送する部分に適用できる。

【0036】

【発明の効果】本発明によれば瞬時的にトラヒックが増大したセルが発生してもセル蓄積手段から出力された後

7

のトラヒック特性は申告帯域内で平滑化 (Traffic shaping) されるため、瞬時的にトラヒックが増大した場合にも制御することができ、セル廃棄等のサービス品質を向上することができる。

【0037】また、トラヒック特性が平滑化される結果として網を設定する場合にバッファ量を少なくすることができ経済的である。更に、VCI毎に設けられたセル蓄積手段のキュー長を自由に設定できる最大セル蓄積量設定手段を付加することにより、入力トラヒック特性にバーストが発生してもセル蓄積手段からのセルの廃棄量を調整することができる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】読出し制御手段の第1の原理構成図である。

8

【図3】読出し制御手段の第2の原理構成図である。

【図4】実施例1の構成図である。

【図5】実施例2の構成図である。

【図6】FIFOの構成例である。

【図7】ATM網における本発明が適用される部分を示す図である。

【図8】従来例1の構成図である。

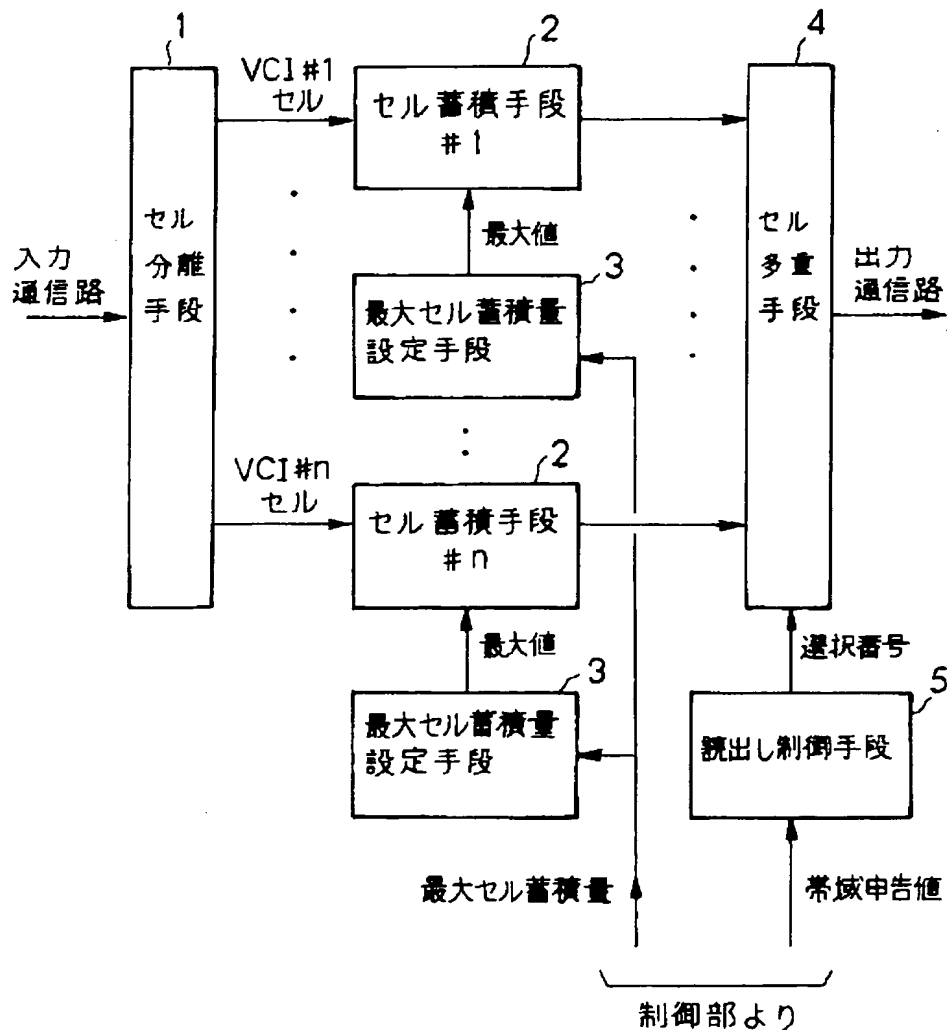
【図9】従来例2の構成図である。

【符号の説明】

- |   |             |
|---|-------------|
| 1 | セル分離手段      |
| 2 | セル蓄積手段      |
| 3 | 最大セル蓄積量設定手段 |
| 4 | セル多重手段      |
| 5 | 読出し制御手段     |

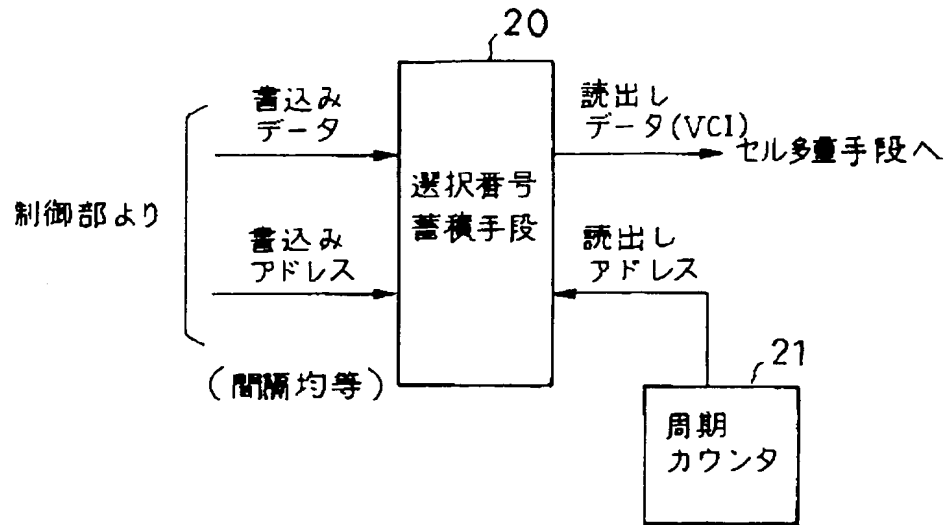
【図1】

## 本発明の原理説明図



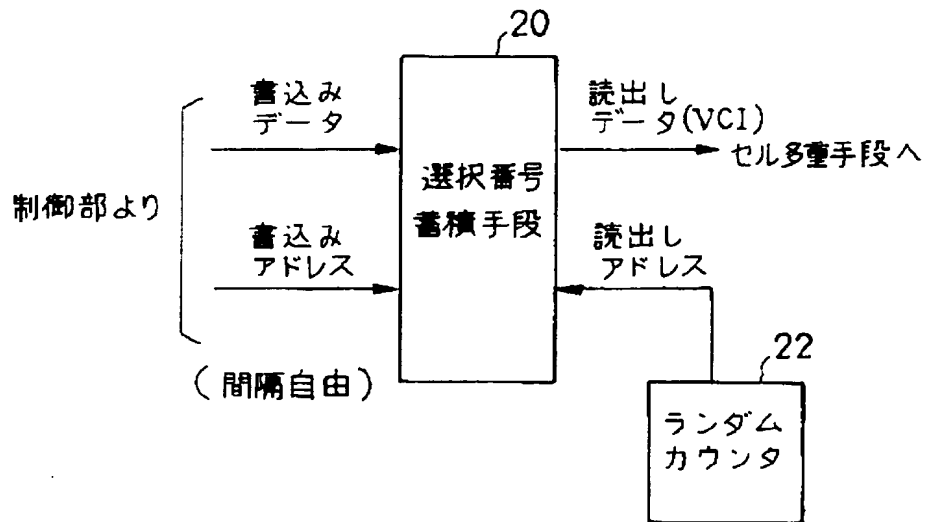
【図2】

## 読出し制御手段の第1の原理構成図



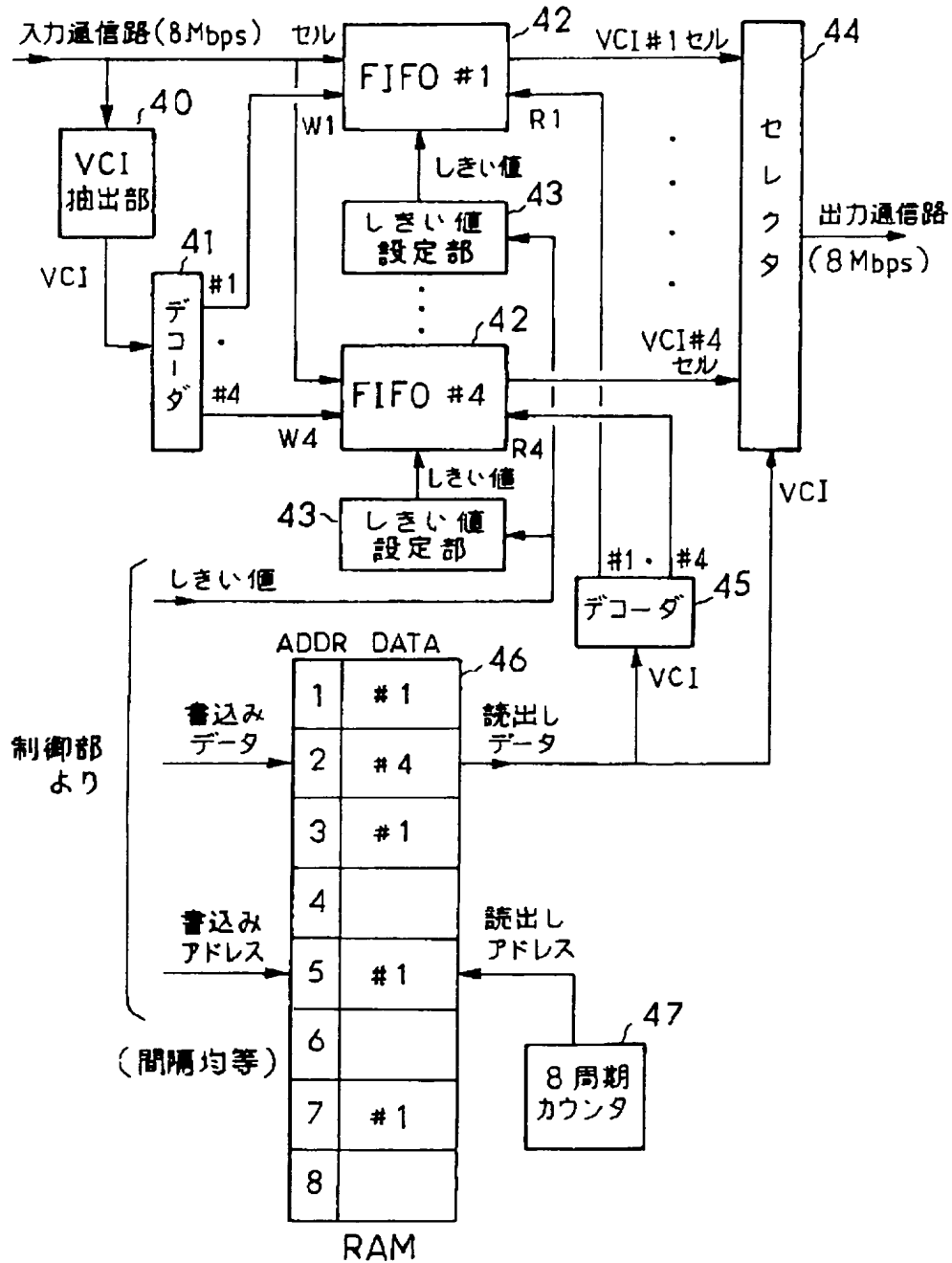
【図3】

## 読出し制御手段の第2の原理構成図



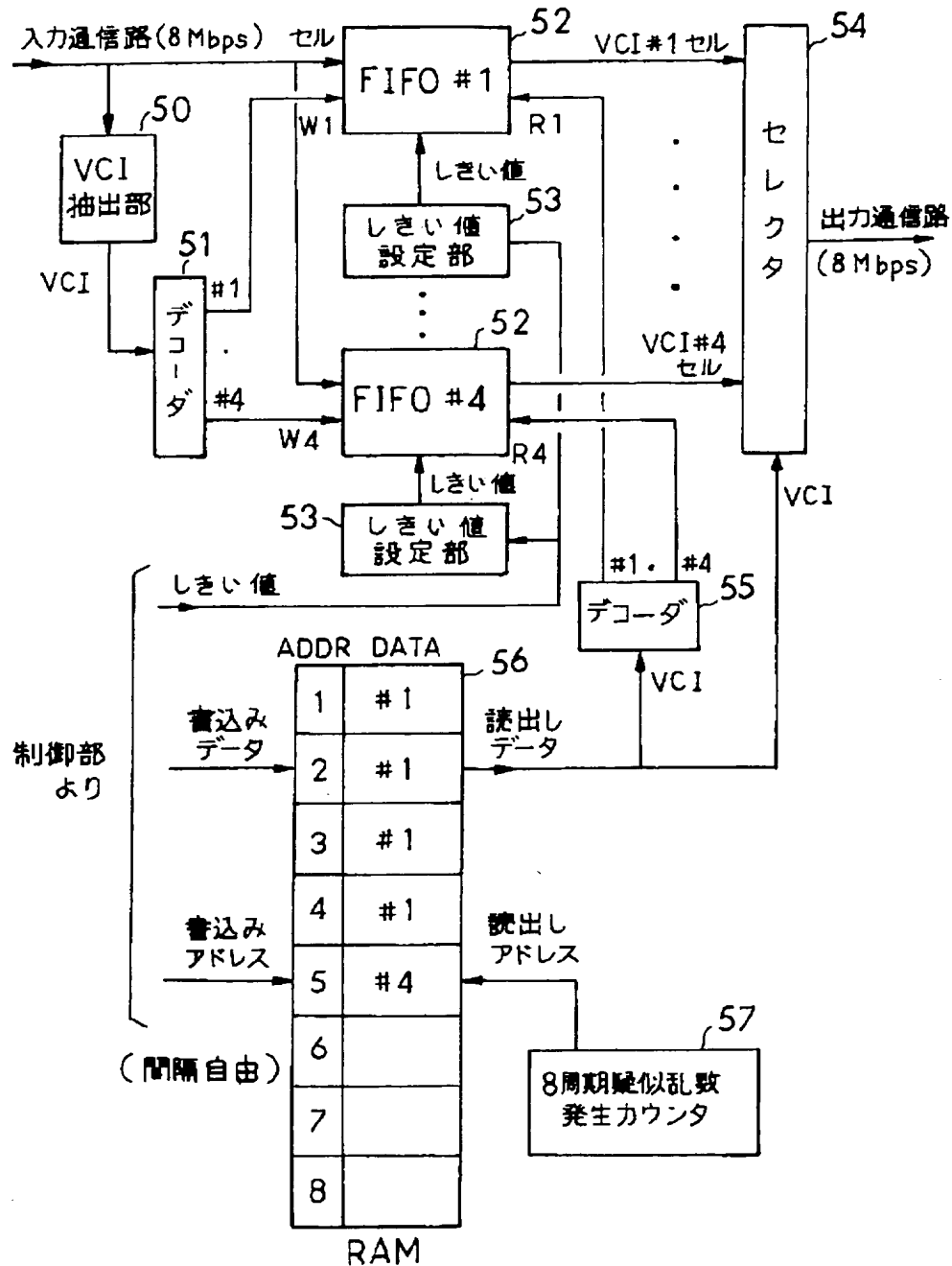
【図4】

## 実施例1の構成図



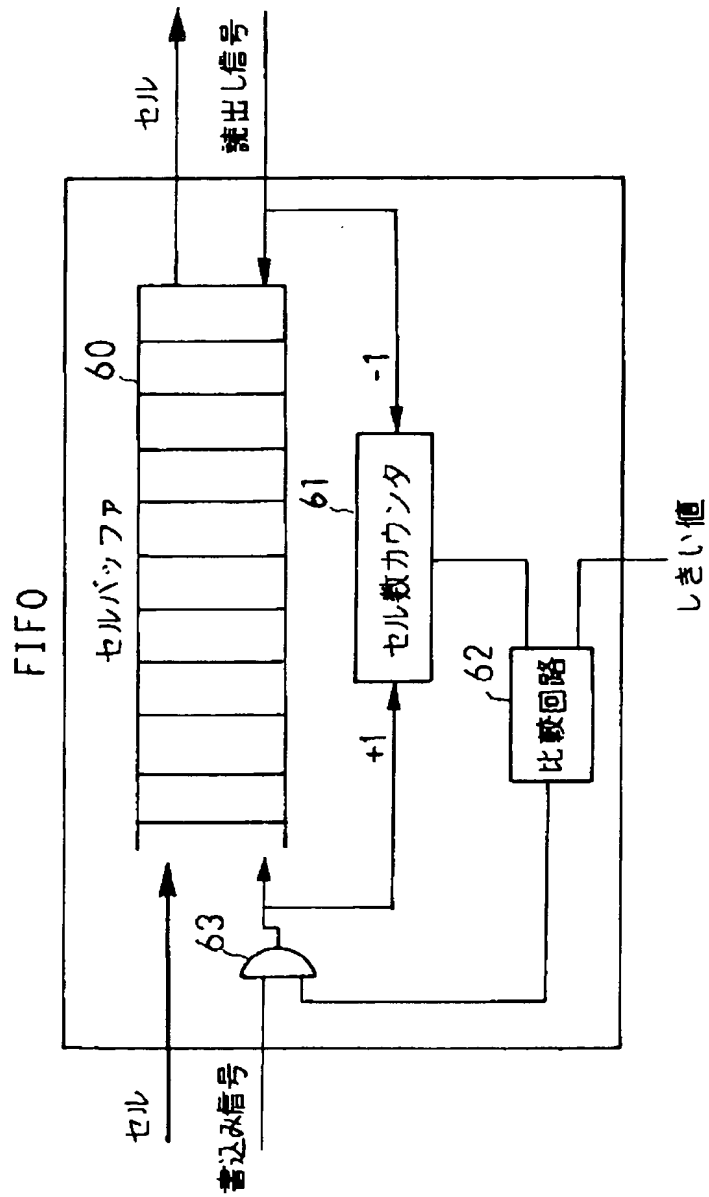


### 実施例 2 の構成図



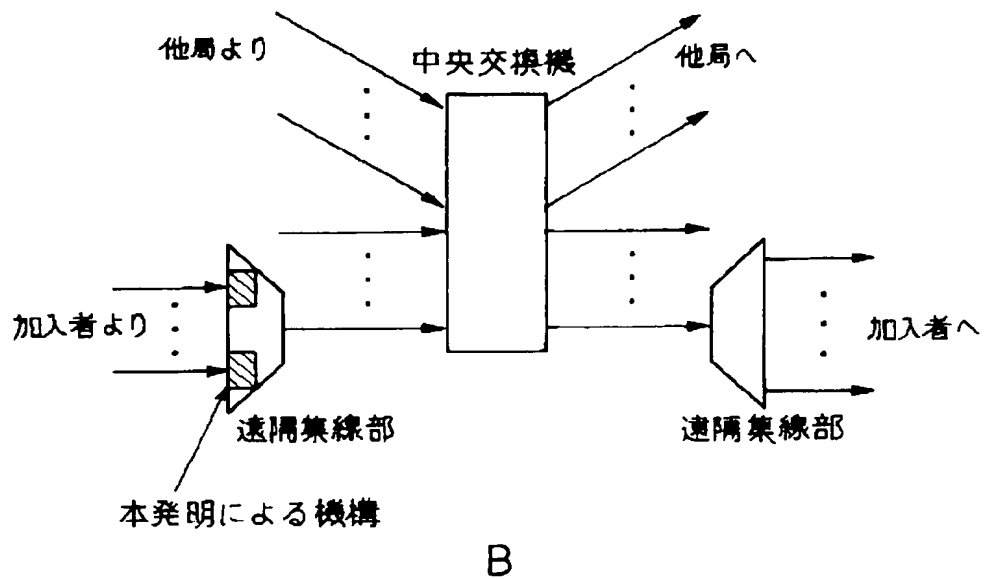
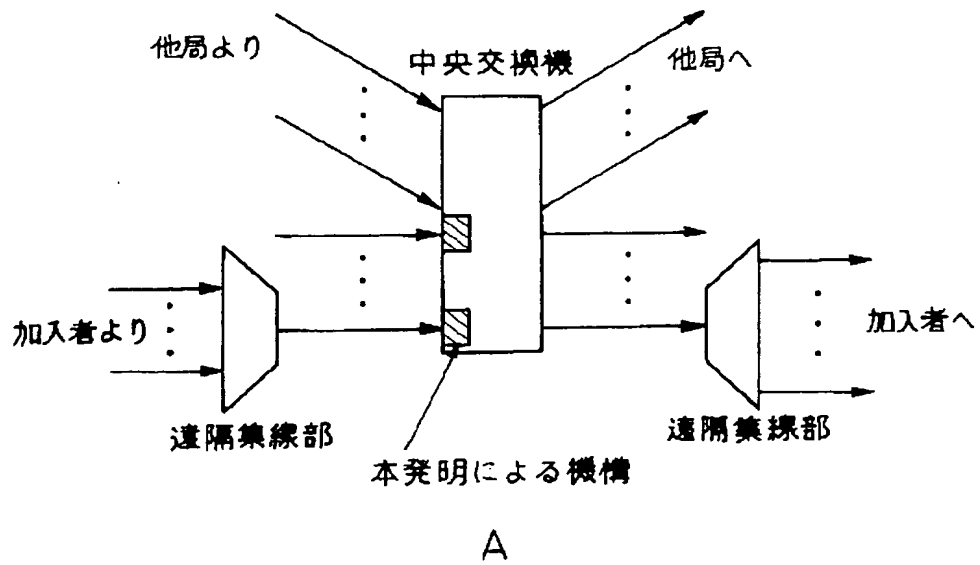
【図6】

## FIFO の 構 成 例



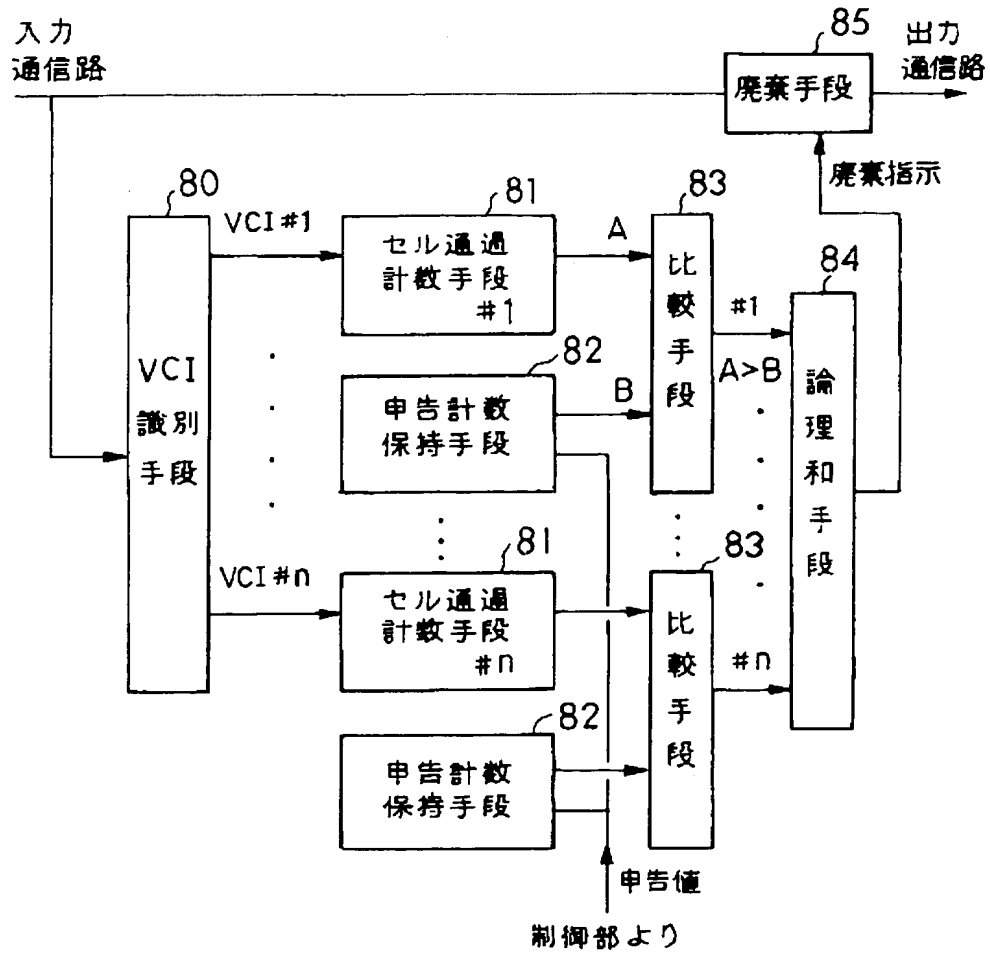
【図7】

ATM網における本発明が適用される部分を示す図



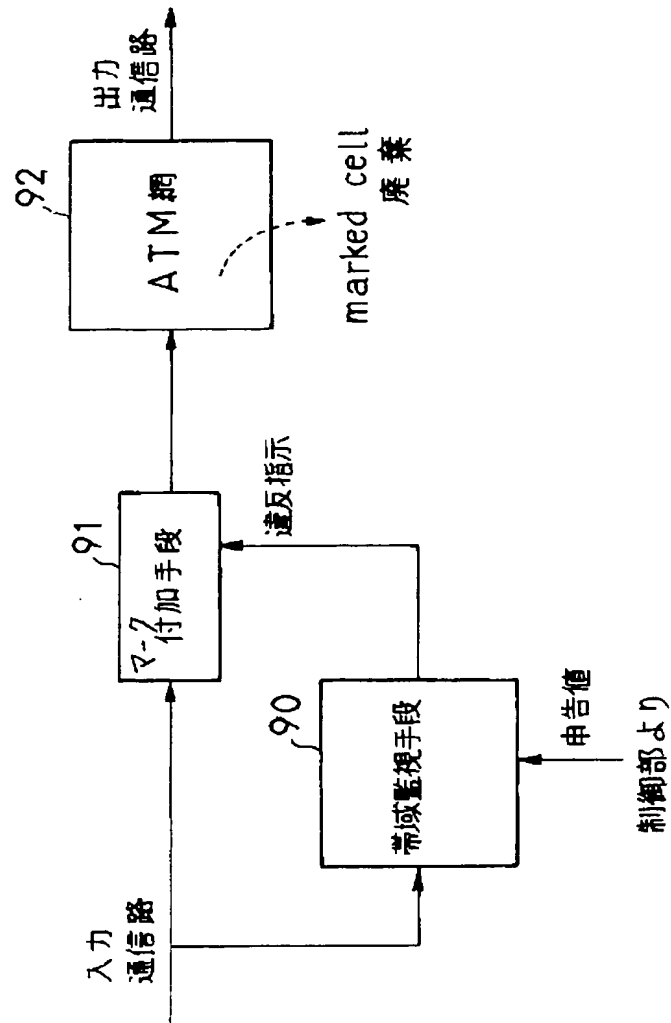
【図 8】

## 従来例 1 の構成図



【図9】

## 従来例2の構成図



フロントページの続き

(72) 発明者 武智 竜一  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内

(72) 発明者 川崎 健  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**